

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-183716
(43) Date of publication of application : 30.06.2000

(51)Int.Cl.

H03K 19/0175

(21)Application number : 10-360352
(22)Date of filing : 18.12.1998

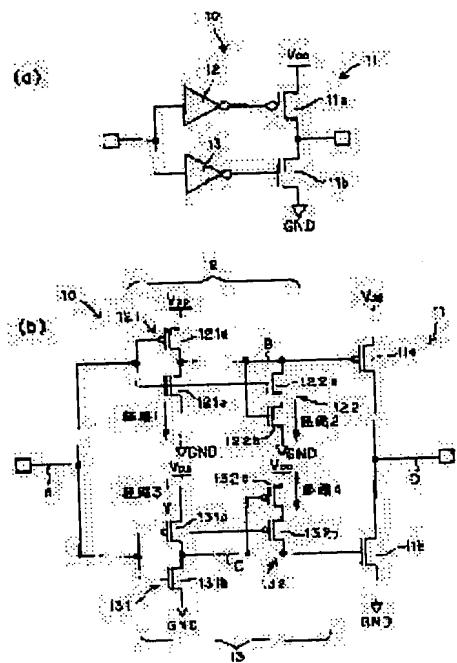
(71)Applicant : KAWASAKI STEEL CORP
(72)Inventor : YAMAMOTO YOSHINORI

(54) OUTPUT BUFFER CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an output buffer circuit that can suppress production of a noise while sufficiently reducing a delay time.

SOLUTION: A 1st inverter 121 and a 1st sub-circuit 122 start discharging from a node B at the same time to transit a P-channel transistor(TR) 11a from an OFF to an ON state, stop discharging the 1st sub-circuit 122 on the way. Furthermore, a 2nd inverter 131 and a 2nd sub-circuit 132 start charging charges to a node C at the same time to transit an N-channel TR 11b from an OFF state to an ON state and the charging of the 2nd sub-circuit is stopped on the way.



LEGAL STATUS

[Date of request for examination]

27.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Date of filing]

[Patent numbers]
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998-2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

CPEL0351919

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183716

(P2000-183716A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl.*

識別記号

H 03 K 19/0175

F I

H 03 K 19/00

データコード*(参考)

1 0 1 F 5 J 0 5 6

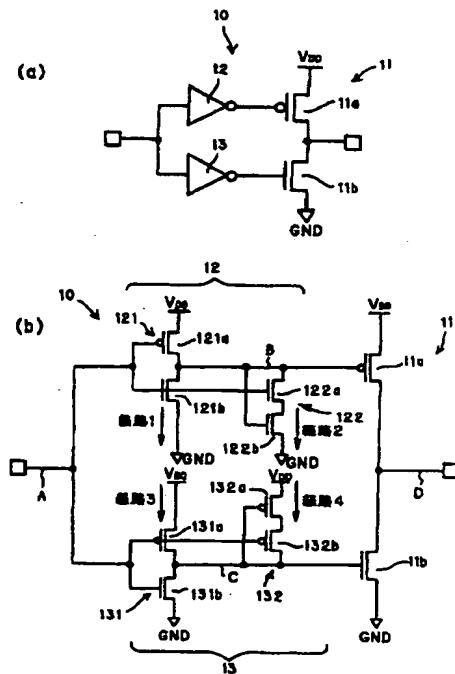
審査請求 未請求 請求項の数 5 OL (全 11 頁)

(21)出願番号	特願平10-360352	(71)出願人	000001258 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号
(22)出願日	平成10年12月18日(1998.12.18)	(72)発明者	山本 義典 東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内
(23)代理人		(74)代理人	100079175 弁理士 小杉 佳男 (外1名) F ターム(参考) 5J056 AA04 BB02 BB24 BB25 DD12 DD28 GG07 GG12 KK01
(24)請求項の数	5	(25)図面の枚数	11
(26)特許料	100000000	(27)特許料の支払方法	定期支払

(54)【発明の名称】 出力バッファ回路

(57)【要約】

【課題】遅延時間を十分短く抑えたまま、ノイズの発生を抑制することのできる出力バッファ回路を提供する。
【解決手段】第1のインバータ121および第1の副回路122でノードBの電荷の放電を同時に開始してPチャネルトランジスタ11aをオフ状態からオン状態に移行させ、その途中で第1の副回路122の放電を停止し、また第2のインバータ131および第2の副回路132でノードCへの電荷の充電を同時に開始してNチャネルトランジスタ11bをオフ状態からオン状態に移行させ、その途中で第2の副回路132の充電を停止する。



【特許請求の範囲】

【請求項1】 出力トランジスタと、該出力トランジスタのゲート電圧を制御することにより該出力トランジスタのオン、オフを制御する制御回路とを備えた出力バッファ回路において、

前記制御回路が、

前記出力トランジスタのゲートを、該出力トランジスタをオフ状態からオン状態に移行させるために充電あるいは放電する主回路と、

前記出力トランジスタのゲートを、該出力トランジスタをオフ状態からオン状態に移行させるために充電あるいは放電する、該充電あるいは放電を、前記主回路による充電あるいは放電と同時に開始するとともに、前記出力トランジスタがオフ状態からオン状態へ移行する途中で該充電あるいは放電を停止する副回路とを備えたことを特徴とする出力バッファ回路。

【請求項2】 前記出力トランジスタがPチャンネルトランジスタ、

前記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが前記出力トランジスタのゲートに接続されたインバータ、および前記副回路が、前記出力トランジスタのゲートとグラウンドとの間に直列に接続された2つのNチャンネルトランジスタであってこれら2つのNチャンネルトランジスタのうちの一方および他方のNチャンネルトランジスタのゲートがそれぞれ前記インバータの入力ノードおよび前記出力トランジスタのゲートに接続されてなるものであることを特徴とする請求項1記載の出力バッファ回路。

【請求項3】 前記出力トランジスタがNチャンネルトランジスタ、

前記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが前記出力トランジスタのゲートに接続されたインバータ、および前記副回路が、前記出力トランジスタのゲートと電源との間に直列に接続された2つのPチャンネルトランジスタであってこれら2つのPチャンネルトランジスタのうちの一方および他方のPチャンネルトランジスタのゲートがそれぞれ前記インバータの入力ノードおよび前記出力トランジスタのゲートに接続されてなるものであることを特徴とする請求項1記載の出力バッファ回路。

【請求項4】 前記出力トランジスタが、互いに接続されて電源とグラウンドとの間に配置されたPチャンネルトランジスタとNチャンネルトランジスタとからなり、前記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが前記出力トランジスタを構成するPチャンネルトランジスタのゲートに接続された第1のインバータと、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが前記出力トランジスタを構成するNチャ

ンネルトランジスタのゲートに接続された第2のインバータとを備えたものであり、さらに前記副回路が、前記出力トランジスタを構成するPチャンネルトランジスタのゲートとグラウンドとの間に直列に接続された2つのNチャンネルトランジスタであってこれら2つのNチャンネルトランジスタのうちの一方および他方のNチャンネルトランジスタのゲートがそれぞれ前記第1のインバータの入力ノードおよび前記出力トランジスタを構成するPチャンネルトランジスタのゲートに接続されてなる第1の副回路と、前記出力トランジスタを構成するNチャンネルトランジスタのゲートと電源との間に直列に接続された2つのPチャンネルトランジスタであってこれら2つのPチャンネルトランジスタのうちの一方および他方のPチャンネルトランジスタのゲートがそれぞれ前記第2のインバータの入力ノードおよび前記出力トランジスタを構成するNチャンネルトランジスタのゲートに接続されてなる第2の副回路とを備えたものであることを特徴とする請求項1記載の出力バッファ回路。

【請求項5】 前記出力トランジスタが、互いに直列に接続されて電源とグラウンドとの間に配置されるとともに互いのゲートが接続されたPチャンネルトランジスタとNチャンネルトランジスタとからなる第1のインバータを構成し、

前記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが前記第1のインバータの入力ノードに接続された第2のインバータからなり、

前記副回路が、前記出力トランジスタのゲートとグラウンドとの間に直列に接続された2つのNチャンネルトランジスタであってこれら2つのNチャンネルトランジスタのうちの一方および他方のNチャンネルトランジスタのゲートがそれぞれ前記第1のインバータの入力ノードおよび前記第2のインバータの入力ノードに接続されてなる第1の副回路と、前記出力トランジスタのゲートと電源との間に直列に接続された2つのPチャンネルトランジスタであってこれら2つのPチャンネルトランジスタのうちの一方および他方のPチャンネルトランジスタのゲートがそれぞれ前記第1のインバータの入力ノードおよび前記第2のインバータの入力ノードに接続されてなる第2の副回路とを備えたものであることを特徴とする請求項1記載の出力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSI等に広く用いられる出力バッファ回路に関する。

【0002】

【従来の技術】従来より、LSI等の半導体チップ上に搭載され、その半導体チップの内部で生成された信号を外部に伝達する役割を担う出力バッファ回路が知られている。

【0003】図5は、従来の出力バッファ回路と、その出力バッファ回路の出力側に存在する外部負荷容量を示す図である。

【0004】図5に示す出力バッファ回路50は、LSIの半導体チップ上に搭載されており、そのLSIは回路基板に実装されている。一般に、回路基板に実装されたLSIと外部負荷との接続は、その回路基板上に形成された配線パターンや、コネクタを具備したケーブル等で行なわれる。このため、出力バッファ回路50の出力ノードOUTと外部負荷(図示せず)との間には、配線パターン等に起因する浮遊容量が存在する。従って、出力バッファ回路50の出力ノードOUT側には、この浮遊容量と、外部負荷の入力容量とが加算された、図5に示す比較的大きな外部負荷容量Cが存在する。このような出力バッファ回路50の入力ノードINには、「H」レベルもしくは「L」レベルの信号が入力される。以下、図6を参照して説明する。

【0005】図6は、図5に示す出力バッファ回路の一部を示す回路図である。

【0006】図5に示す出力バッファ回路50には、図6に示すように、電源V_{DD}とグラウンドGNDとの間に直列接続されるとともに、各ゲートが共通接続されたPチャンネルトランジスタ51、Nチャンネルトランジスタ52が備えられている。また、ゲートがPチャンネルトランジスタ51、Nチャンネルトランジスタ52の接続点に接続された、出力トランジスタであるNチャンネルトランジスタ53も備えられている。ここで、説明の都合上、図5に示す入力ノードINを経由してノードAにまで伝達された信号は「H」レベルにあるものとする。次に、この信号が「H」レベルから「L」レベルに変化すると、Pチャンネルトランジスタ51、Nチャンネルトランジスタ52がオフ状態、オフ状態になる。これにより、電源V_{DD}→Pチャンネルトランジスタ51の経路でノードBに電荷がチャージされ、Nチャンネルトランジスタ53のゲート電圧が上昇し、そのNチャンネルトランジスタ53がオン状態になり、前述した外部負荷容量Cにチャージされている電荷が放電されて出力ノードOUTの電位が急速に低下する。尚、図5に示す出力バッファ回路50には、出力トランジスタとして図示しないPチャンネルトランジスタも備えられており、そのPチャンネルトランジスタがオン状態になると、外部負荷容量Cに電荷が充電される。

【0007】このように、出力バッファ回路50は、外部負荷に信号を伝達するにあたり、大きな外部負荷容量Cを放電あるいは充電する必要がある。このため、出力バッファ回路50の出力トランジスタのサイズは比較的大きく、この大きなサイズの出力トランジスタを介して外部負荷容量Cの充放電が急速に行なわれる。すると、LSIのパッケージを構成する電源ピン/グラウンドピンに寄生するインダクタンスにより、電源/グラウンド

にこの充放電に必要な電流変化量に応じた大きさのノイズ($d i / dt$ ノイズ)が発生する。このノイズは、LSIの半導体チップ内の電源ライン/グラウンドラインに伝達されるため、回路の誤動作の原因となる場合がある。

【0008】図7は、従来の、ノイズの発生が抑制された出力バッファ回路の回路図である。

【0009】図7に示すバッファ回路60は、入力ノードINに接続されたインバータ61と、そのインバータ61に直列に接続されたインバータ62と、インバータ62の出力に接続されたインバータ63、64と、電源V_{DD}とグラウンドGNDとの間に直列に接続されるとともに各ゲートが各インバータ63、64の出力に接続されたPチャンネルトランジスタ65、Nチャンネルトランジスタ66とから構成されている。

【0010】前述したように、出力バッファ回路では、外部負荷容量の充放電による電流変化量に応じた大きなノイズが発生する。このため、出力トランジスタを急速にオンさせると電流変化も大きくなり、従って発生するノイズも大きい。そこで、この出力バッファ回路60では、Pチャンネルトランジスタ65を駆動するインバータ63から出力される信号波形の立ち下がりが緩やかになるように、またNチャンネルトランジスタ66を駆動するインバータ64から出力される信号波形の立ち上がりが緩やかになるように、各インバータ63、64のトランジスタサイズが調整されている。即ち、インバータ63、64は、それぞれ、前述した図6に示すPチャンネルトランジスタ51、Nチャンネルトランジスタ52と同様な回路構成であるが、インバータ63では、そのインバータ63を構成するNチャンネルトランジスタのサイズ(トランジスタ幅)は、比較的小さく調整されており、このためそのNチャンネルトランジスタの駆動能力は低く、従ってPチャンネルトランジスタ65のゲート電位は緩やかに下降することとなり、Pチャンネルトランジスタ65による、外部負荷容量に対する充電電流の急速な変化が抑制され、ノイズの発生を抑えることができる。

【0011】一方、インバータ64では、そのインバータを構成するPチャンネルトランジスタのサイズは比較的小小さく調整されており、このためそのPチャンネルトランジスタの駆動能力は低く、従ってNチャンネルトランジスタ66のゲート電位は緩やかに上昇することとなり、Nチャンネルトランジスタ66による、外部負荷容量に対する放電電流の急速な変化が抑制され、ノイズの発生を抑えることができる。

【0012】上述した従来の、駆動能力の低いトランジスタを備えたインバータで出力トランジスタを駆動する出力バッファ回路では、出力トランジスタのゲート電位が緩やかに変化するため、その出力トランジスタをオンするまでに長い時間を必要とする。このため、出力バッ

ファ回路における信号遅延時間は、この長い時間と外部負荷容量の充放電に要する時間とが加算されたものとなり、従って出力バッファ回路の遅延時間が増大するという問題がある。

【0013】この問題を解決するための技術が、特開平9-167957号公報に提案されている。

【0014】図8は、特開平9-167957号公報に提案された出力バッファ回路の一部分の回路図である。

【0015】図8に示す出力バッファ回路80には、電源V_{DD}とグラウンドGNDとの間に、電源V_{DD}側から順に、Pチャンネルトランジスタ81と、Nチャンネルトランジスタ82と、抵抗83とが備えられている。Pチャンネルトランジスタ81、Nチャンネルトランジスタ82の各ゲートは共通接続されている。また、Pチャンネルトランジスタ81とNチャンネルトランジスタ82の接続点とグラウンドGNDとの間には、Nチャンネルトランジスタ84が備えられている。このNチャンネルトランジスタ84のゲートは、Nチャンネルトランジスタ82と抵抗83の接続点に接続されている。さらに、ゲートがPチャンネルトランジスタ81とNチャンネルトランジスタ82の接続点に接続されるとともに、一端が電源V_{DD}に接続され他端が図示しないNチャンネルトランジスタを介してグラウンドGNDに接続されたPチャンネルトランジスタ85も備えられている。

【0016】このように構成された出力バッファ回路80では、各Pチャンネルトランジスタ81、Nチャンネルトランジスタ82のゲートが共通接続されてなるノードAに信号が入力される。

【0017】ノードAに' L' レベルの信号が入力されている時点では、Pチャンネルトランジスタ81、Nチャンネルトランジスタ82は、それぞれ、オン状態、オフ状態にある。Pチャンネルトランジスタ81がオン状態にあるため、そのPチャンネルトランジスタ81から' H' レベルの信号が outputされており、従ってノードBの電位は高く、Pチャンネルトランジスタ85はオフ状態にある。一方、Nチャンネルトランジスタ82はオフ状態にあるため、ノードCの電荷は抵抗83を経由してグラウンドGNDに放電されている。従って、Nチャンネルトランジスタ84はオフ状態にある。

【0018】ここで、ノードAの信号が' L' レベルから' H' レベルに変化する。すると、Pチャンネルトランジスタ81、Nチャンネルトランジスタ82は、それぞれ、オフ状態、オン状態となる。Nチャンネルトランジスタ82がオン状態になるため、ノードBにチャージされている電荷が、Nチャンネルトランジスタ82→抵抗83→グラウンドGNDの経路1で放電される。すると、抵抗83による電圧降下でノードCの電位が上昇する。ノードBにチャージされている電荷が、経路1でさらに放電され、ノードCの電位がさらに上昇するとNチャンネルトランジスタ84がオン状態となる。すると、

ノードBにチャージされている電荷は、経路1、および、Nチャンネルトランジスタ84→グラウンドGNDの経路2の双方で放電される。このため、ノードBの電位は急速に低下する。ノードBの電位が低下すると、ノードCの電位も低下し、これによりNチャンネルトランジスタ84がオフ状態となり、経路2による放電が停止する。従って、経路1のみでノードBにチャージされている電荷が放電される。

【0019】このように、図8に示す出力バッファ回路80では、ノードBにチャージされている電荷を経路1、2の双方で放電して、Pチャンネルトランジスタ85をオフ状態からオン状態に移行させることにより、その出力バッファ回路80の遅延時間を短く抑えている。また、Pチャンネルトランジスタ85のオフ状態からオン状態への移行の途中で、経路2による放電を停止して経路1のみでノードBにチャージされている電荷を放電することにより、Pチャンネルトランジスタ85に緩やかに電流を流してノイズの発生を抑制している。

【0020】尚、Pチャンネルトランジスタ85と直列接続されたNチャンネルトランジスタ（図示せず）の場合も同様であり、その場合は、Nチャンネルトランジスタ84の役割をPチャンネルトランジスタが担うこととなる。

【0021】

【発明が解決しようとする課題】しかし、この出力バッファ回路80は、Pチャンネルトランジスタ85をオフ状態からオン状態に移行させるにあたり、ノードBの電荷を先ず経路1で放電させ、次に経路1および経路2の双方で放電させるものであるため、2段階にわたり順次放電が行なわれることとなり、Pチャンネルトランジスタ85のオフ状態からオン状態への移行に要する時間は比較的長く、従って遅延時間を十分短く抑える上で問題がある。

【0022】本発明は、上記事情に鑑み、遅延時間を十分短く抑えたまま、ノイズの発生を抑制することのできる出力バッファ回路を提供することを目的とする。

【0023】

【課題を解決するための手段】上記目的を達成する本発明の出力バッファ回路は、出力トランジスタと、その出力トランジスタのゲート電圧を制御することによりその出力トランジスタのオン、オフを制御する制御回路とを備えた出力バッファ回路において、上記制御回路が、上記出力トランジスタのゲートを、その出力トランジスタをオフ状態からオン状態に移行させるために充電あるいは放電する主回路と、上記出力トランジスタのゲートを、その出力トランジスタをオフ状態からオン状態に移行させるために充電あるいは放電する、その充電あるいは放電を、上記主回路による充電あるいは放電と同時に開始するとともに、上記出力トランジスタがオフ状態からオン状態へ移行する途中でその充電あるいは放電を停

止する副回路とを備えたことを特徴とする。

【0024】本発明の出力バッファ回路は、出力トランジスタをオフ状態からオン状態に移行させるにあたり、その出力トランジスタのゲートを主回路および副回路の双方で同時に充電あるいは放電させるものであるため、出力トランジスタをオフ状態からオン状態に移行させるまでに要する時間は短い。従って、出力バッファ回路の遅延時間を十分短く抑えることができる。また、出力トランジスタがオフ状態からオン状態へ移行する途中で副回路による充電あるいは放電を停止し、主回路のみで充電あるいは放電を持続するものであるため、出力トランジスタに電流が急速に流れることはなく、ノイズの発生を抑制することができる。

【0025】ここで、上記出力トランジスタがPチャンネルトランジスタ、上記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが上記出力トランジスタのゲートに接続されたインバータ、および上記副回路が、上記出力トランジスタのゲートとグラウンドとの間に直列に接続された2つのNチャンネルトランジスタであってこれら2つのNチャンネルトランジスタのうちの一方および他方のNチャンネルトランジスタのゲートがそれぞれ上記インバータの入力ノードおよび上記出力トランジスタのゲートに接続されてなるものであってもよい。

【0026】このように、出力トランジスタとしてPチャンネルトランジスタを備え、そのPチャンネルトランジスタをオフ状態からオン状態に移行させるにあたり、そのPチャンネルトランジスタのゲートを、上記の主回路および副回路の双方で同時に放電すると、出力バッファ回路におけるPチャンネルトランジスタ側の遅延時間を十分短く抑えることができる。また、そのPチャンネルトランジスタがオフ状態からオン状態へ移行する途中で副回路による放電を停止し、主回路のみで放電すると、そのPチャンネルトランジスタに緩やかに電流を流すことができ、従ってノイズの発生を抑制することができる。

【0027】また、上記出力トランジスタがNチャンネルトランジスタ、上記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが上記出力トランジスタのゲートに接続されたインバータ、および上記副回路が、上記出力トランジスタのゲートと電源との間に直列に接続された2つのPチャンネルトランジスタであってこれら2つのPチャンネルトランジスタのうちの一方および他方のPチャンネルトランジスタのゲートがそれぞれ上記インバータの入力ノードおよび上記出力トランジスタのゲートに接続されてなるものであってもよい。

【0028】このように、出力トランジスタとしてNチャンネルトランジスタを備え、そのNチャンネルトランジスタをオフ状態からオン状態に移行させるにあたり、

そのNチャンネルトランジスタのゲートを、上記の主回路および副回路の双方で同時に充電すると、出力バッファ回路におけるNチャンネルトランジスタ側の遅延時間を十分短く抑えることができる。また、そのNチャンネルトランジスタがオフ状態からオン状態へ移行する途中で副回路による充電を停止し、主回路のみで充電すると、そのNチャンネルトランジスタに緩やかに電流を流すことができ、従ってノイズの発生を抑制することができる。

【0029】さらに、上記出力トランジスタが、互いに接続されて電源とグラウンドとの間に配置されたPチャンネルトランジスタとNチャンネルトランジスタとからなり、上記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが上記出力トランジスタを構成するPチャンネルトランジスタのゲートに接続された第1のインバータと、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが上記出力トランジスタを構成するNチャンネルトランジスタのゲートに接続された第2のインバータを備えたものであり、さらに上記副回路が、上記出力トランジスタを構成するPチャンネルトランジスタのゲートとグラウンドとの間に直列に接続された2つのNチャンネルトランジスタであってこれら2つのNチャンネルトランジスタのうちの一方および他方のNチャンネルトランジスタのゲートがそれぞれ上記第1のインバータの入力ノードおよび上記出力トランジスタを構成するPチャンネルトランジスタのゲートに接続されてなる第1の副回路と、上記出力トランジスタを構成するNチャンネルトランジスタのゲートと電源との間に直列に接続された2つのPチャンネルトランジスタであってこれら2つのPチャンネルトランジスタのうちの一方および他方のPチャンネルトランジスタのゲートがそれぞれ上記第2のインバータの入力ノードおよび上記出力トランジスタを構成するNチャンネルトランジスタのゲートに接続されてなる第2の副回路とを備えたものであってもよい。

【0030】このように、出力トランジスタとして、互いに直列に接続された電源とグラウンドとの間に配置されたPチャンネルトランジスタとNチャンネルトランジスタを備え、Pチャンネルトランジスタのゲートを第1のインバータおよび第1の副回路の双方で同時に放電し、一方、Nチャンネルトランジスタのゲートを第2のインバータおよび第2の副回路の双方で同時に充電すると、出力バッファ回路におけるPチャンネルトランジスタ側の遅延時間およびNチャンネルトランジスタ側の遅延時間の双方を十分短く抑えることができる。また、Pチャンネルトランジスタがオフ状態からオン状態へ移行する途中で第1のインバータのみで放電し、一方、Nチャンネルトランジスタがオフ状態からオン状態へ移行する途中で第2のインバータのみで充電すると、出力バッ

ファ回路で発生する放電および充電の双方におけるノイズを抑制することができる。

【0031】また、上記出力トランジスタが、互いに直列に接続されて電源とグラウンドとの間に配置されるとともに互いのゲートが接続されたPチャンネルトランジスタとNチャンネルトランジスタとからなる第1のインバータを構成し、上記主回路が、PチャンネルトランジスタとNチャンネルトランジスタが直列に接続され出力ノードが上記第1のインバータの入力ノードに接続された第2のインバータからなり、上記副回路が、上記出力トランジスタのゲートとグラウンドとの間に直列に接続された2つのNチャンネルトランジスタであってこれら2つのNチャンネルトランジスタのうちの一方および他方のNチャンネルトランジスタのゲートがそれぞれ上記第1のインバータの入力ノードおよび上記第2のインバータの入力ノードに接続されてなる第1の副回路と、上記出力トランジスタのゲートと電源との間に直列に接続された2つのPチャンネルトランジスタであってこれら2つのPチャンネルトランジスタのうちの一方および他方のPチャンネルトランジスタのゲートがそれぞれ上記第1のインバータの入力ノードおよび上記第2のインバータの入力ノードに接続されてなる第2の副回路とを備えたものであってもよい。

【0032】このように、主回路として上記第2のインバータ、副回路として上記第1、第2の副回路を備え、互いのゲートが接続されたPチャンネルトランジスタとNチャンネルトランジスタとからなる第1のインバータを駆動すると、簡単な回路構成で、出力バッファ回路の遅延時間を十分短く抑え、かつその出力バッファ回路で発生するノイズを抑制することができる。

【0033】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0034】図1は、本発明の第1実施形態の出力バッファ回路の論理回路図(a)、およびその詳細回路図(b)である。

【0035】図1(a)に示す出力バッファ回路10には、互いに直列に接続されて電源V_{DD}とグラウンドGNDとの間に配置されたPチャンネルトランジスタ11aとNチャンネルトランジスタ11bとからなる出力トランジスタ11が備えられている。また、この出力バッファ回路10には、Pチャンネルトランジスタ11a、Nチャンネルトランジスタ11bのゲート電圧を制御することにより、Pチャンネルトランジスタ11a、Nチャンネルトランジスタ11bのオン、オフを制御する制御回路12、13も備えられている。

【0036】制御回路12は、図1(b)に示すように、Pチャンネルトランジスタ121aとNチャンネルトランジスタ121bが直列に接続され、出力ノードBが出力トランジスタ11を構成するPチャンネルトランジ

ジスタ11aのゲートに接続された第1のインバータ121(本発明にいう主回路の一例)を備えている。また、この制御回路12は、Pチャンネルトランジスタ11aのゲートとグラウンドGNDとの間に直列に接続された2つのNチャンネルトランジスタ122a、122bであって、これら2つのNチャンネルトランジスタ122a、122bのうちの一方および他方のNチャンネルトランジスタ122a、122bのゲートがそれぞれ第1のインバータ121の入力ノードAおよびPチャンネルトランジスタ11aのゲートに接続されてなる第1の副回路122を備えている。

【0037】一方、制御回路13は、Pチャンネルトランジスタ131aとNチャンネルトランジスタ131bが直列に接続され、出力ノードCが出力トランジスタ11を構成するNチャンネルトランジスタ11bのゲートに接続された第2のインバータ131(本発明にいう主回路の一例)を備えている。また、この制御回路13は、電源V_{DD}とNチャンネルトランジスタ11bのゲートとの間に直列に接続された2つのPチャンネルトランジスタ132a、132bであってこれら2つのPチャンネルトランジスタ132a、132bのうちの一方および他方のPチャンネルトランジスタ132a、132bのゲートがそれぞれNチャンネルトランジスタ11bのゲートおよび第2のインバータ131の入力ノードAに接続されてなる第2の副回路132を備えている。

【0038】このように構成された出力バッファ回路10の動作について、図1(b)を参照して説明する。まず、出力トランジスタ11を構成するPチャンネルトランジスタ11aがオフ状態からオン状態に移行する場合について説明する。入力ノードAに' L' レベルの信号が入力されている時点では、Pチャンネルトランジスタ121a、Nチャンネルトランジスタ121bは、それぞれオン状態、オフ状態にある。Pチャンネルトランジスタ121aがオン状態にあるため、ノードBの電位は高く、従ってPチャンネルトランジスタ11aはオフ状態にある。また、Nチャンネルトランジスタ122aのゲートにも' L' レベルの信号が入力されている。このため、Nチャンネルトランジスタ122aはオフ状態にある。

【0039】ここで、ノードAが' L' レベルから' H' レベルに変化する。すると、Pチャンネルトランジスタ121a、Nチャンネルトランジスタ121bは、オフ状態、オン状態になる。また、Nチャンネルトランジスタ122aもオン状態になる。Nチャンネルトランジスタ122aがオン状態になり、またノードBの電位は高いため、Nチャンネルトランジスタ122bもオン状態になる。すると、第1のインバータ121を構成するNチャンネルトランジスタ121b→グラウンドGNDの経路1でノードBにチャージされている電荷が放電される。同時に、第1の副回路122を構成するNチャ

11

ンネルトランジスタ122a→Nチャンネルトランジスタ122b→グラウンドGNDの経路2でもノードBにチャージされている電荷が放電される。経路1、2の双方で同時に放電が開始されるため、ノードBの電位は急速に低下する。ノードBの電位が低下すると、Nチャンネルトランジスタ122bのゲート電圧も低下するため、Nチャンネルトランジスタ122bの電流が徐々に減少する。さらに、ノードBの電位が低下し、Nチャンネルトランジスタ122bのゲート電圧がそのNチャンネルトランジスタ122bのスレッシュホールド電圧まで達すると、Nチャンネルトランジスタ122bがオフし、これにより経路2による放電が停止する。このため、経路1のみでノードBにチャージされている電荷の放電がゆっくりと行なわれ、完全に放電した後は、ノードBが' L' レベル状態になる。

【0040】このように、第1実施形態の出力バッファ回路10は、Pチャンネルトランジスタ11aをオフ状態からオン状態に移行させるにあたり、第1のインバータ121を構成するNチャンネルトランジスタ121b、および第1の副回路122を構成するNチャンネルトランジスタ122a、122bを経由して、ノードBにチャージされている電荷の放電を同時に開始させるものであるため、Pチャンネルトランジスタ11aのゲート電圧を素早く' L' レベルにすることができる。従って、Pチャンネルトランジスタ11aのオフ状態からオン状態への移行に要する時間は短く、出力バッファ回路10におけるPチャンネルトランジスタ11a側の遅延時間を十分短く抑えることができる。

【0041】また、Pチャンネルトランジスタ11aがオフ状態からオン状態へ移行する途中で第1の副回路122を構成するNチャンネルトランジスタ122bがオフ状態になるため、第1のインバータ121を構成するNチャンネルトランジスタ121bのみを経由してノードBにチャージされている電荷の放電が行なわれる。このため、Pチャンネルトランジスタ11aに緩やかに電流を流すことができる。従って、Pチャンネルトランジスタ11aの、外部負荷容量に対する充電電流の急速な変化によるノイズの発生を抑制することができる。

【0042】次に、出力トランジスタ11を構成するNチャンネルトランジスタ11bがオフ状態からオン状態に移行する場合について説明する。ノードAが' H' レベルにある場合は、Pチャンネルトランジスタ131a、Nチャンネルトランジスタ131bがオフ状態、オン状態であるため、ノードの電荷はNチャンネルトランジスタ131bを経由してグラウンドGNDに放電されており、従ってノードCの電位は低い。このため、Pチャンネルトランジスタ132aはオン状態にある。ここで、ノードAが' H' レベルから' L' レベルに変化する。すると、Pチャンネルトランジスタ131a、Nチャンネルトランジスタ131bは、オン状態、オフ状態

10

20

30

40

50

12

になる。またPチャンネルトランジスタ132bもオン状態になる。このため、電源V_{DD}→Pチャンネルトランジスタ131aの経路3で、ノードCに電荷が充電される。また、Pチャンネルトランジスタ132aはオン状態にあるため、電源V_{DD}→Pチャンネルトランジスタ132a→Pチャンネルトランジスタ132bの経路4でもノードCに電荷が充電される。

【0043】このように、経路3、4の双方で同時に充電が開始されるため、ノードCの電位は急速に上昇する。ノードCの電位が上昇するとPチャンネルトランジスタ132aのゲート電圧も上昇するため、Pチャンネルトランジスタ132aの電流は徐々に減少する。さらに、ノードCの電位が上昇し、Pチャンネルトランジスタ132aのゲート電圧がそのPチャンネルトランジスタ132aのスレッシュホールド電圧まで達すると、Pチャンネルトランジスタ132aがオフし、これにより経路4による放電が停止する。このため、経路3のみでノードCへの電荷の充電がゆっくりと行なわれ、ノードCが' H' レベル状態になる。

【0044】このように、第1実施形態の出力バッファ回路10は、Nチャンネルトランジスタ11bをオフ状態からオン状態に移行させるにあたり、第2のインバータ131を構成するPチャンネルトランジスタ131a、および第2の副回路132を構成するPチャンネルトランジスタ132a、132bを経由して、ノードCへの電荷の充電を同時に開始させるものであるため、Nチャンネルトランジスタ11bのゲート電圧を素早く' H' レベルにすることができる。従って、Nチャンネルトランジスタ11bのオフ状態からオン状態への移行に要する時間は短く、出力バッファ回路におけるNチャンネルトランジスタ11b側の遅延時間を十分短く抑えることができる。

【0045】また、Nチャンネルトランジスタ11bがオフ状態からオン状態へ移行する途中で第2の副回路132を構成するPチャンネルトランジスタ132aがオフ状態になるため、第2のインバータ131を構成するPチャンネルトランジスタ131aのみを経由してノードCへの電荷の充電が行なわれる。このため、Nチャンネルトランジスタ11bに緩やかに電流を流すことができる。従って、Nチャンネルトランジスタ11bの、外部負荷容量に対する放電電流の急速な変化によるノイズの発生を抑制することができる。

【0046】図2は、図1に示す出力バッファ回路、および従来の、図6に示す出力バッファ回路における動作信号波形を示す図である。

【0047】図の縦軸は、各ノードにおける電位、横軸は、時間を示す。また、図中の符号C、Dは、図1に示す出力バッファ回路10のノードC、Dを示し、符号B、OUTは、図6に示す出力バッファ回路50のノードB、OUTを示す。さらに、符号Aは、各出力バッフ

ア回路10, 50の入力ノードAを示す。

【0048】入力ノードAの電位が' H' レベルから' L' レベルに変化すると、ノードCには経路1, 2の双方で同時に充電が開始されるため、ノードCの電位は急速に上昇する。従って、Nチャンネルトランジスタ11bは素早くオフ状態からオン状態に移行し、ノードDの電位は短時間で下降し始める。さらに、オフ状態からオン状態への移行の途中で経路2による充電が停止するため、ノードCの電位はゆっくりと上昇する。従って、Nチャンネルトランジスタ11bには緩やかに電流が流れ、ノードDの電位は緩やかに下降する。一方、出力バッファ50では、ノードBの電位は徐々に上昇するため、Nチャンネルトランジスタ53のオフ状態からオン状態への移行に要する時間は長く、従ってノードOUTの電位は遅れて下降する。さらに、ノードBの電位は同じ傾きでそのまま上昇するため、Nチャンネルトランジスタ53には大きな電流が流れ、ノードOUTの電位は急速に下降する。

【0049】図3は、本発明の第2実施形態の出力バッファ回路の論理回路図(a)、およびその詳細回路図(b)である。

【0050】尚、図1に示す出力バッファ回路10の構成要素と同一の構成要素には、同一の符号を付して説明する。

【0051】図3(a)、図3(b)に示す出力バッファ回路20は、図1に示す出力バッファ回路10が組み込まれた、ハイインピーダンス状態が可能な、いわゆるスリーステート出力バッファ回路である。

【0052】図3(a)に示す出力バッファ回路20は、 NANDゲート21と、ノアゲート22と、インバータ23と、Pチャンネルトランジスタ11a, Nチャンネルトランジスタ11bからなる出力トランジスタ11とから構成されている。NANDゲート21は、図3(b)に示すように、第1のインバータ121と、その第1のインバータ121とグラウンドGNDとの間に配置されたNチャンネルトランジスタ21aと、第1の副回路122と、その第1の副回路122とグラウンドGNDとの間に配置されたNチャンネルトランジスタ21cと、第1のインバータ121の出力ノードと電源V_{DD}との間に配置されたPチャンネルトランジスタ21bとから構成されている。また、ノアゲート22は、第2のインバータ131と、その第2のインバータ131と電源V_{DD}との間に配置されたPチャンネルトランジスタ22aと、第2の副回路132と、その第2の副回路132と電源V_{DD}との間に配置されたPチャンネルトランジスタ22cと、第2のインバータ131の出力ノードとグラウンドGNDとの間に配置されたNチャンネルトランジスタ22bとから構成されている。また、Pチャンネルトランジスタ22a, Pチャンネルトランジスタ22c, Nチャンネルトランジスタ22bのゲートは、イ

ンバータ23の入力に接続され、このインバータ23の入力(ノードE)には、イネーブル信号が入力される。インバータ23の出力は、Nチャンネルトランジスタ21a, Nチャンネルトランジスタ21c, Pチャンネルトランジスタ21bのゲートに接続されている。

【0053】ノードEにイネーブル信号として' L' レベルが入力されると、インバータ23から' H' レベルが出力され、これによりNチャンネルトランジスタ21a, Nチャンネルトランジスタ21c, Pチャンネルトランジスタ21bは、オン状態、オン状態、オフ状態となり、第1のインバータ121、第1の副回路122が、図1を参照して説明したように動作する。また、' L' レベルのイネーブル信号はPチャンネルトランジスタ22a, Pチャンネルトランジスタ22c, Nチャンネルトランジスタ22bのゲートに入力され、これによりPチャンネルトランジスタ22a, Pチャンネルトランジスタ22c, Nチャンネルトランジスタ22bがオン状態、オン状態、オフ状態となり、第2のインバータ131、第2の副回路132も図1を参照して説明したように動作する。従って、図1に示す出力バッファ回路10の機能が実現される。

【0054】一方、ノードEにイネーブル信号として' H' レベルが入力されると、インバータ23から' L' レベルが出力され、これによりNチャンネルトランジスタ21a, Nチャンネルトランジスタ21c, Pチャンネルトランジスタ21bは、オフ状態、オフ状態、オン状態となる。すると、電源V_{DD}→Pチャンネルトランジスタ21bの経路で、Pチャンネルトランジスタ11aのゲートが' H' レベルとなり、Pチャンネルトランジスタ11aはオフ状態となる。また、' H' レベルのイネーブル信号は、Pチャンネルトランジスタ22a, Pチャンネルトランジスタ22c, Nチャンネルトランジスタ22bのゲートに入力され、これによりPチャンネルトランジスタ22a, Pチャンネルトランジスタ22c, Nチャンネルトランジスタ22bがオフ状態、オフ状態、オン状態となる。すると、Nチャンネルトランジスタ22b→グラウンドGNDの経路でNチャンネルトランジスタ11bのゲートが' L' レベルとなり、Nチャンネルトランジスタ11bもオフ状態となる。このため、ノードDはハイインピーダンス状態となる。このように、図1に示す出力バッファ回路10にPチャンネルトランジスタ21b, 22a, 22c, Nチャンネルトランジスタ21a, 22b, 21c, インバータ23を備えることにより、スリーステート出力バッファ回路を簡単に構成することができる。、図4は、本発明の第3の実施形態の出力バッファ回路の論理回路図(a)、およびその詳細回路図(b)である。

【0055】尚、図1に示す出力バッファ回路10の構成要素と同一の構成要素には、同一の符号を付して説明する。

【0056】図4(a)に示す出力バッファ回路30は、電源V_{DD}とグラウンドGNDとの間に配置され、ゲートが互いに接続されたPチャンネルトランジスタ11a, Nチャンネルトランジスタ11bからなる出力トランジスタ11と、制御回路31が備えられている。

【0057】制御回路31は、Pチャンネルトランジスタ121a, Nチャンネルトランジスタ121bからなる第1のインバータ121と、Nチャンネルトランジスタ122a, 122bからなる第1の副回路122と、Pチャンネルトランジスタ132a, 132bからなる第2の副回路132とから構成されている。このように、第1のインバータ121, 第1の副回路122, 第2の副回路132からなる制御回路31で、Pチャンネルトランジスタ11a, Nチャンネルトランジスタ11bを、それぞれ、オフ状態からオン状態に移行して、その出力バッファ回路30の遅延時間を十分短く抑えたまま、その出力バッファ回路30で発生するノイズを抑制してもよい。

【0058】

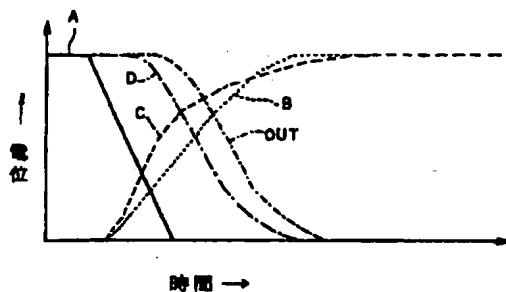
【発明の効果】以上説明したように、本発明によれば、遅延時間を十分短く抑えたまま、ノイズの発生を抑制することができる。

【図面の簡単な説明】

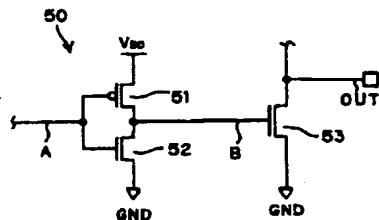
【図1】本発明の第1実施形態の出力バッファ回路の論理回路図(a)、およびその詳細回路図(b)である。

【図2】図1に示す出力バッファ回路、および従来の、図6に示す出力バッファ回路における動作信号波形を示す図である。

【図2】



【図6】



【図3】本発明の第2実施形態の出力バッファ回路の論理回路図(a)、およびその詳細回路図(b)である。

【図4】本発明の第3の実施形態の出力バッファ回路の論理回路図(a)、およびその詳細回路図(b)である。

【図5】従来の出力バッファ回路と、その出力バッファ回路の出力側に存在する外部負荷容量を示す図である。

【図6】図5に示す出力バッファ回路の一部を示す回路図である。

【図7】従来の、ノイズの発生が抑制された出力バッファ回路の回路図である。

【図8】特開平9-167957号公報に提案された出力バッファ回路の一部分の回路図である。

【符号の説明】

10, 20, 30 出力バッファ回路

11 出力トランジスタ

11a, 21b, 22a, 22c, 121a, 131a, 132a, 132b Pチャンネルトランジスタ

11b, 21a, 21c, 22b, 121b, 122a, 122b, 131b Nチャンネルトランジスタ

12, 13, 31 制御回路

21 ナンドゲート

22 ノアゲート

23 インバータ

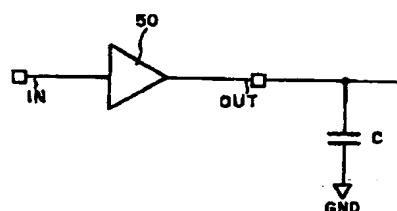
121 第1のインバータ

122 第1の副回路

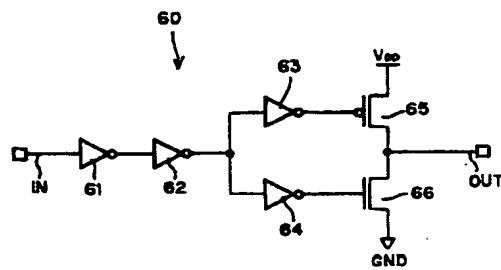
131 第2のインバータ

132 第2の副回路

【図5】

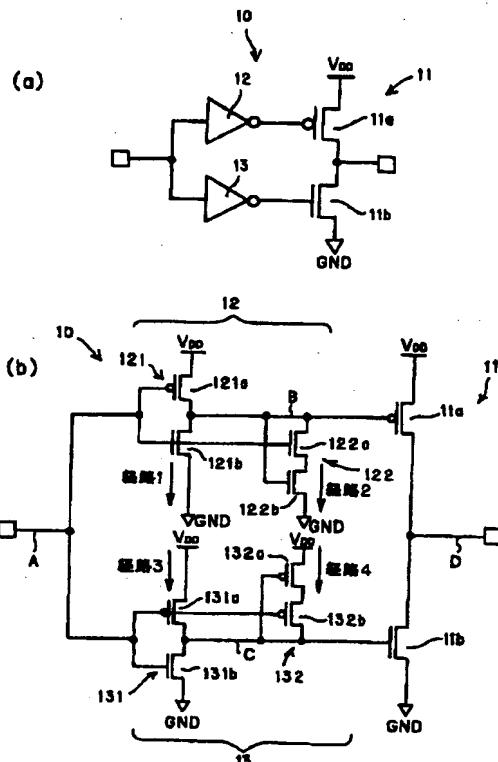


【図7】

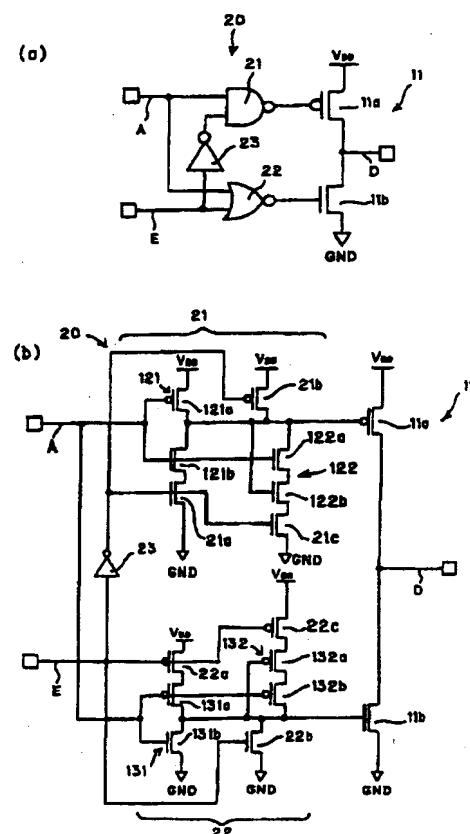


(110) 000-183716 (P2000-183716A)

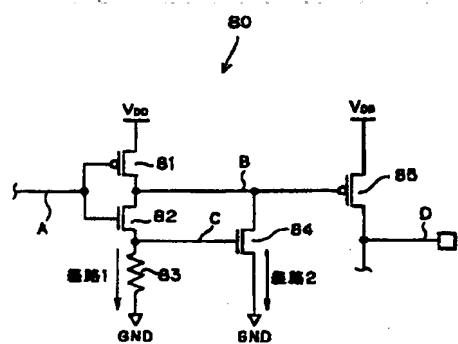
〔図1〕



〔图3〕

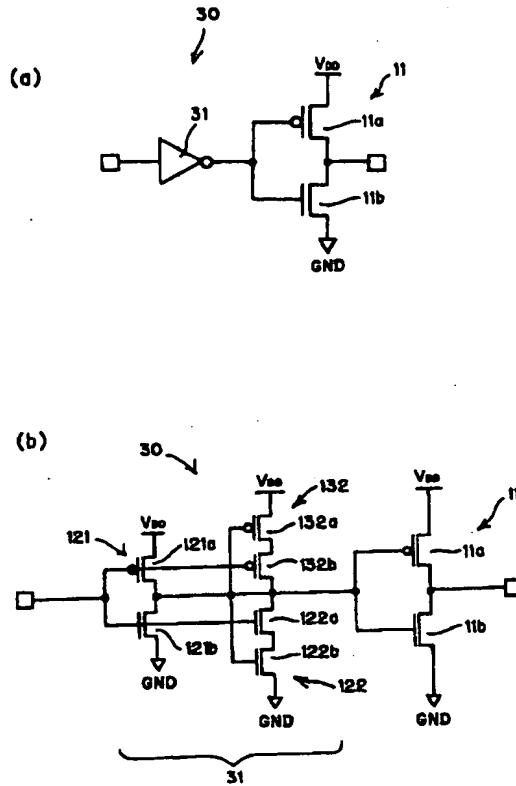


(图8)



(11) 000-183716 (P2000-183716A)

【図4】



THIS PAGE BLANK (USPTO)